

/5/6 (Item 6 from file: 351).

DIALOG(R) File 351:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

013712207 **Image available**

WPI Acc No: 2001-196431/ 200120

XRPX Acc No: N01-140307

High frequency electronic circuit has three terminal chip capacitor with input-output terminal connected to circuit layer for power supply lines and ground terminal connected to land electrode layer for relays

Patent Assignee: MURATA MFG CO LTD (MURA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicant No	Kind	Date	Week
JP 2001015885	A	20010119	JP 99188794	A	19990702	200120 B

Priority Applications (No Type Date): JP 99188794 A 19990702

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2001015885	A	7	H05K-001/18	

Abstract (Basic): JP 2001015885 A

NOVELTY - Three terminal chip capacitor (6) is provided with input-output terminals (6b, 6c) and ground terminal (6d). Input-output terminal is connected to circuit layer (8) for power supply lines. Ground terminal is connected to land electrode layer (10) for relays, for using the three terminal chip capacitor as by-pass capacitor.

DETAILED DESCRIPTION - A gland layer (7) for earth lines is arranged inside or rear side of circuit layer for power supply lines arranged on upper surface of wiring board (11). Land electrode layer for relays is connected to gland layer via a through-hole (9). The length of through-hole is set to 0.5 mm or less. An INDEPENDENT CLAIM is also included for mounting structure of by-pass capacitor to high frequency electronic circuit.

USE - Electronic circuit for high frequency applications.

ADVANTAGE - Total residual inductance of by-pass capacitor is reduced. The three terminal capacitor chip is made to function as by-pass capacitor, thus operation efficiency of by-pass capacitor is improved.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional view of principal component of electronic circuit.

Capacitor (6)

Input-output terminals (6b, 6c)

Ground terminal (6d)

Gland layer (7)

Circuit layer (8)

Through-hole (9)

Land electrode layer (10)

Wiring board (11)

pp; 7 DwgNo 1/8

Title Terms: HIGH; FREQUENCY; ELECTRONIC; CIRCUIT; THREE; TERMINAL; CHIP; CAPACITOR; INPUT; OUTPUT; TERMINAL; CONNECT; CIRCUIT; LAYER; POWER; SUPPLY; LINE; GROUND; TERMINAL; CONNECT; LAND; ELECTRODE; LAYER; RELAY

Derwent Class: V04

International Patent Class (Main): H05K-001/18

International Patent Class (Additional): H03H-007/01; H05K-001/02;

H05K-001/11

File Segment: EPI

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-15885

(P2001-15885A)

(43)公開日 平成13年1月19日(2001.1.19)

(51)Int.Cl'	識別記号	P I	マーク*(参考)
H 05 K 1/18		H 05 K 1/18	K 5 E 3 1 7
H 03 H 7/01		H 03 H 7/01	Z 5 E 3 3 6
H 05 K 1/02		H 05 K 1/02	N 5 E 3 3 8
1/11		1/11	N 5 J 0 2 4

審査請求 未請求 請求項の数3 OL (全7頁)

(21)出願番号	特願平11-188794	(71)出願人	000005231 株式会社村田製作所 京都府長岡京市天神二丁目26番10号
(22)出願日	平成11年7月2日(1999.7.2)	(72)発明者	福田 充晶 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内
		(72)発明者	坂本 幸夫 京都府長岡京市天神二丁目26番10号 株式会社村田製作所内
		(74)代理人	100092071 弁理士 西澤 均

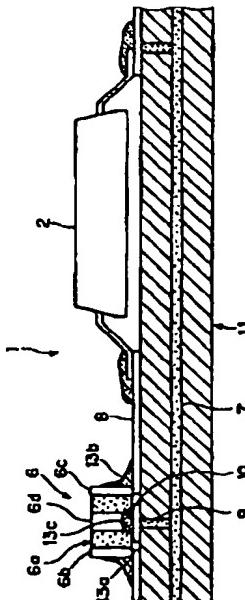
最終頁に続く

(54)【発明の名称】高周波用電子回路及び高周波用電子回路へのチップ三端子コンデンサの実装構造

(57)【要約】

【課題】高周波用電子回路において、バイパスコンデンサが十分な機能を発揮することを可能とする。

【解決手段】内部又は裏面に配設されたアースライン用グランド層7と、表面に配設された電源ライン用回路層8と、スルーホール又はピアホール9を介してアースライン用グランド層7に接続された中継用ランド電極層10とを備えた配線基板11又はパッケージに、入出力端子6 b, 6 cとグランド端子6 dとを備えたチップ三端子コンデンサ6を表面実装し、入出力端子6 b, 6 cを電源ライン用回路層8に接続するとともに、グランド端子6 dを中継用ランド電極層10に接続して、チップ三端子コンデンサ6をバイパスコンデンサとして機能させる。また、スルーホール又はピアホール9の長さを0.5mm以下にして、バイパスコンデンサの全残留インダクタンスを小さくする。



【特許請求の範囲】

【請求項1】アースラインと電源ラインの間にバイパスコンデンサが接続された構造を有する高周波用電子回路であって、内部又は裏面に配設されたアースライン用グランド層と、表面に配設された電源ライン用回路層と、スルーホール又はピアホールを介してアースライン用グランド層に接続された中性用ランド電極層（グランドパターン）とを備えた配線基板又はパッケージに、前記コンデンサ用電極の一方と導通する入出力端子と、前記コンデンサ用電極の他方と導通するグランド端子とを備えたチップ三端子コンデンサが表面実装され、前記入出力端子が前記電源ライン用回路層に接続されるとともに、前記グランド端子が前記中性用ランド電極層（グランドパターン）に接続されることにより、チップ三端子コンデンサが前記バイパスコンデンサとして用いられていることを特徴とする高周波用電子回路。

【請求項2】アースラインと電源ラインの間にバイパスコンデンサとしてチップ三端子コンデンサが接続された高周波用電子回路へのチップ三端子コンデンサの実装構造であって、内部又は裏面に配設された前記アースライン用グランド層と、表面に配設された電源ライン用回路層と、スルーホール又はピアホールを介してアースライン用グランド層に接続された中性用ランド電極層（グランドパターン）とを備えた配線基板又はパッケージに、前記コンデンサ用電極の一方と導通する入出力端子と、前記コンデンサ用電極の他方と導通するグランド端子とを備えたチップ三端子コンデンサを表面実装し、前記入出力端子を前記電源ライン用回路層に接続するとともに、前記グランド端子を前記中性用ランド電極層（グランドパターン）に接続したこととを特徴とする高周波用電子回路へのチップ三端子コンデンサの実装構造。

【請求項3】前記スルーホール又はピアホールの長さが0.5mm以下であることを特徴とする請求項2記載の高周波用電子回路へのチップ三端子コンデンサの実装構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、アースラインと電源ラインの間にバイパスコンデンサを接続した高周波用電子回路及び高周波用電子回路へのバイパスコンデンサの実装構造に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】図8は従来の代表的な高周波用電子回路31の等価回路図である。この高周波用電子回路31は、ディジタルIC32と、ディジタルIC32に駆動用の直流電圧Vccを供

給する駆動用直流電源33と、ディジタルIC32と駆動用直流電源33との間を電気的に接続するための電源ライン34及びアースライン35と、電源ライン34及びアースライン35の間に接続されたバイパスコンデンサ（デカップリングコンデンサ）36を備えている。

【0003】この高周波用電子回路31の中のバイパスコンデンサ36は、周波数に比例してインピーダンスが低下する容量素子（コンデンサC）の性質により、各回路（ステージ）の間で起る混信を阻止する機能（デカップリング機能）を発揮するとともに、ディジタルIC32などを流れる負荷電流の急激な増減（変動）にともなって、電源ライン34の等価直列インダクタンスL_a, L_bにより生じる、電源電圧のリップル（重畳波）を抑制する機能（リップル抑制機能）を発揮する。

【0004】一方、最近のディジタル機器の急激な高速化にともない、CPUでは500MHzを越えるクロック周波数で処理が行われたり、DRAMでは100MHzを越える周波数でデータの出し入れが行われたりしており、高周波用電子回路31においては、高周波化がさらに進展つつあるのが実情である。

【0005】しかしながら、近年の急激な高周波化にともない、高周波用電子回路31ではバイパスコンデンサ36が十分に機能しない場合が生じるに至っている。すなわち、従来はバイパスコンデンサ36として、タンタルコンデンサや大容量積層チップコンデンサが用いられており、周波数が高くなると、容量素子としての直列インピーダンスが減少するが、図8に示すように、バイパスコンデンサ36には、周波数に比例してインピーダンスが上昇する残留インダクタンスESLが直列接続の状態で存在しているため、周波数が高くなると、残留インダクタンスESLによるインピーダンス増加分が容量素子によるインピーダンス減少分を上回ることになり、バイパスコンデンサ36が十分に機能を果たさなくなるという問題点がある。なお、上記高周波用電子回路31においては、バイパスコンデンサ36自体の等価直列インダクタンス及び各ライン34, 35とバイパスコンデンサ36を結ぶ各接続配線の等価直列インダクタンスの合計が、バイパスコンデンサ36を接続することに起因する全残留インダクタンスESLとなる。

【0006】本願発明は、上記問題点を解決するものであり、著しい高周波化のもとにおいてもバイパスコンデンサに十分に機能を果たせることが可能な高周波用電子回路、及び高周波用電子回路へのバイパスコンデンサとしてのチップ三端子コンデンサの実装構造を提供することを目的とする。

【0007】

【課題を解決するための手段】上記課題を達成するため、本願発明（請求項1）の高周波用電子回路は、アースラインと電源ラインの間にバイパスコンデンサが接続された構造を有する高周波用電子回路であって、内部又

3

は裏面に配設されたアースライン用グランド層と、表面に配設された電源ライン用回路層と、スルーホール又はピアホールを介してアースライン用グランド層に接続された中継用ランド電極層（グランドパターン）とを備えた配線基板又はパッケージに、前記コンデンサ用電極の一方と導通する入出力端子と、前記コンデンサ用電極の他方と導通するグランド端子とを備えたチップ三端子コンデンサが表面実装され、前記入出力端子が前記電源ライン用回路層に接続されるとともに、前記グランド端子が前記中継用ランド電極層（グランドパターン）に接続されることにより、チップ三端子コンデンサが前記バイパスコンデンサとして用いられていることを特徴としている。

【0008】本願発明（請求項1）の高周波用電子回路においては、アースラインと電源ラインの間に接続されているチップ三端子コンデンサが、周波数に比例してインピーダンスが低下する容量素子特有の性質を發揮することによりバイパスコンデンサとしての機能を果たす。また、バイパスコンデンサであるチップ三端子コンデンサにおいては、一方のコンデンサ用電極である内部電極（貫通内部電極）に入出力端子が直結され、他方のコンデンサ用電極である内部電極（グランド内部電極）にグランド端子が直結されているとともに、入出力端子が電源ライン用回路層に接続され、貫通内部電極が電源ラインの一部を兼ねることになるため、貫通内部電極の等価直列インダクタンスが電源ラインのインダクタンスに変換され、チップ三端子コンデンサの等価直列インダクタンスが極めて小さくなる。

【0009】さらに、配線基板又はパッケージに表面実装されている入出力端子は、配線基板又はパッケージの表面の電源ライン用回路層に接続される一方、グランド端子は、配線基板又はパッケージの中継用ランド電極層に接続され、スルーホール又はピアホールを介して、配線基板又はパッケージの内部又は裏面に配設されたアースライン用グランド層に接続されているため、チップ三端子コンデンサの入出力端子と電源ライン用回路層の接続と、チップ三端子コンデンサのグランド端子と中継用ランド電極層の接続が、実質的に直接に行われることになり、中継用ランド電極層とアースライン用グランド層を接続するスルーホール又はピアホールのインダクタンスが、実質的に接続配線による等価直列インダクタンスとなる。そして、近年の電子回路における配線基板又はパッケージにおいては、表面の電源ライン用回路層とアースライン用グランド層の層間厚み（間隔）が非常に薄く、電源ライン用回路層とアースライン用グランド層を接続するスルーホール又はピアホールの長さも非常に短いため、スルーホール又はピアホールの等価直列インダクタンスは通常極めて小さい。

【0010】したがって、本願発明の高周波用電子回路におけるチップ三端子コンデンサによるバイパスコンデ

4

ンサの残留インダクタンス（すなわち、チップ三端子コンデンサ自体の等価直列インダクタンス、及び中継用ランド電極層とアースライン用グランド層を接続するスルーホール又はピアホールの等価直列インダクタンスを合わせたもの）は小さく、バイパスコンデンサとして十分な機能を發揮することができる。

【0011】また、本願発明（請求項2）の高周波用電子回路へのチップ三端子コンデンサの実装構造は、アースラインと電源ラインの間にバイパスコンデンサとしてチップ三端子コンデンサが接続された高周波用電子回路へのチップ三端子コンデンサの実装構造であって、内部又は裏面に配設された前記アースライン用グランド層と、表面に配設された電源ライン用回路層と、スルーホール又はピアホールを介してアースライン用グランド層に接続された中継用ランド電極層（グランドパターン）とを備えた配線基板又はパッケージに、前記コンデンサ用電極の一方と導通する入出力端子と、前記コンデンサ用電極の他方と導通するグランド端子とを備えたチップ三端子コンデンサを表面実装し、前記入出力端子を前記電源ライン用回路層に接続するとともに、前記グランド端子を前記中継用ランド電極層（グランドパターン）に接続したことを特徴としている。

【0012】本願発明（請求項2）の高周波用電子回路へのチップ三端子コンデンサの実装構造においては、配線基板又はパッケージにチップ三端子コンデンサを表面実装し、入出力端子を電源ライン用回路層に接続するとともに、グランド端子を中継用ランド電極層（グランドパターン）に接続し、スルーホール又はピアホールを介してアースライン用グランド層に接続するようにしているので、上述のような作用を奏する本願発明の請求項1の高周波用電子回路を確実に構成することが可能になる。

【0013】また、請求項3の高周波用電子回路へのチップ三端子コンデンサの実装構造は、前記スルーホール又はピアホールの長さが0.5mm以下であることを特徴としている。

【0014】バイパスコンデンサを接続することに由来する全残留インダクタンスを支配するスルーホール又はピアホールの長さを0.5mm以下とした場合、その長さに比例するスルーホール又はピアホールの等価直列インダクタンスは極めて小さくなる。したがって、バイパスコンデンサの全残留インダクタンスを確実に小さくして、バイパスコンデンサをさらに確実に効率よく機能させることができるようになる。なお、本願発明において、スルーホール又はピアホールの長さとは、アースライン用グランド層と、電源ライン用回路層とを、スルーホール又はピアホールにより電気的に接続する場合の電路の長さを意味する概念である。

【0015】
50 【発明の実施の形態】以下、本願発明の実施の形態を示

してその特徴とするとところをさらに詳しく説明する。図1は本願発明の一実施形態にかかるチップ三端子コンデンサの実装構造を採用した高周波用電子回路の要部構成を示す断面図、図2は本願発明の一実施形態にかかる高周波用電子回路全体の等価回路図、図3は本願発明の一実施形態にかかる高周波用電子回路へのチップ三端子コンデンサの実装構造を示す拡大断面図、図4は本願発明の一実施形態にかかる高周波用電子回路へのチップ三端子コンデンサの実装構造を示す平面図である。

【0016】この実施形態の高周波用電子回路1は、図1及び図2に示すように、作動周波数の極めて高いデジタルIC2と、デジタルIC2に駆動用の直流電圧Vccを供給する駆動用直流電源3と、デジタルIC2と駆動用直流電源3との間を電気的に接続するための電源ライン4及びアースライン5と、電源ライン4とアースライン5の間に接続されたチップ三端子コンデンサ6とを備えており、チップ三端子コンデンサ6がバイパスコンデンサとして機能するよう構成されている。

【0017】以下、チップ三端子コンデンサ(バイパスコンデンサ)6の実装構造を中心化し、具体的に説明する。高周波用電子回路1に用いられている配線基板11は、図1及び図3に示すように、内部に配設されたアースライン用グランド層7と、表面に配設された電源ライン用回路層8と、ピアホール9を介してアースライン用グランド層7に電気的に接続されている中継用ランド電極層(グランドパターン)10を備えている。なお、この配線基板11においては、図4に示すように、アースライン用グランド層7(図1、3)と中継用ランド電極層10の間に、2個のピアホール9が設けられている。ただし、ピアホール9の数に特別の制約はない。例えば、図5に示すように、中継用ランド電極層10の中央に1個のピアホール9を配設し、このピアホール9によりアースライン用グランド層7と中継用ランド電極層10を電気的に接続するように構成することも可能である。

【0018】そして、この実施形態においては、ピアホール9(図3)の直径Dを500μm、長さLを0.5mmとしている。

【0019】一方、図6に示すように、チップ三端子コンデンサ6のコンデンサ素子6aの内部には、一方のコンデンサ用電極である内部電極(貫通内部電極)6eと、他方のコンデンサ用電極である内部電極(グランド内部電極)6fが配設されている。また、コンデンサ素子6aの両端部には、貫通内部電極6eの両端部と接続するように入出力端子6b、6cが配設され、コンデンサ素子6aの両側面には、グランド内部電極6fの両端部と導通するようグランド端子6dが配設されている。なお、図7は、このチップ三端子コンデンサ6の等価回路図である。

【0020】そして、このチップ三端子コンデンサ6

が、図3に示すように、配線基板11の表面に実装されており、入出力端子6b、6cがはんだ13a、13bにより電源ライン用回路層8に接続されているとともに、チップ三端子コンデンサ6のグランド端子6dがはんだ13cにより中継用ランド電極層10に接続されている。このように、チップ三端子コンデンサ6の貫通内部電極6e(図6)が、電源ライン用回路層8に、その一部を構成するよう接続されるとともに、グランド内部電極6f(図6)がピアホール9を経由してアースライン用グランド層7に接続されることにより、チップ三端子コンデンサ6は、図2に示すように、電源ライン4とアースライン5の間に容量素子(コンデンサC)として接続されることになり、バイパスコンデンサとしての機能を果たすことになる。

【0021】また、図2及び図3に示すように、チップ三端子コンデンサ6においては、貫通内部電極6eが電源ライン4の一部を構成するように配設されており、貫通内部電極6eの等価直列インダクタンスは、電源ライン4のインダクタンスに変換され、また、グランド内部電極6fがグランド端子6dに直結されているため、グランド内部電極6fの等価直列インダクタンスは極めて小さい。したがって、チップ三端子コンデンサ6自体の等価直列インダクタンスは非常に小さくなる。なお、チップ三端子コンデンサ6の等価直列インダクタンスとしては、例えば0.1nH程度となる。

【0022】一方、チップ三端子コンデンサ6の入出力端子6b、6c及びグランド端子6dは、電源ライン用回路層8及び中継用ランド電極層10にそれぞれ直結されているので、チップ三端子コンデンサ6を接続するための接続配線の等価直列インダクタンスは、実質的にピアホール9によるインダクタンスだけとなる。

【0023】そして、ピアホールの直径及び長さが、上述のように、直径D=500μm、長さL=0.5mmである場合、ピアホール1個当たりインダクタンスは約0.1nHとなり、図4に示すように、アースライン用グランド層7と中継用ランド電極層10が2個のピアホール9により並列接続となっている場合は、接続配線の等価直列インダクタンスは1個の場合の半分の0.05nHになる。

【0024】そして、バイパスコンデンサの全残留インダクタンスESLは、チップ三端子コンデンサ6自体の等価直列インダクタンスと、ピアホール9による等価直列インダクタンスとを合わせたものとなるが、前者が例えば0.1nHであり、後者が例えば0.05nHであれば、バイパスコンデンサの全残留インダクタンスESLは、0.15nHとなる。

【0025】この実施形態のバイパスコンデンサの実装構造のように、全残留インダクタンスESLが0.2nH以下になると、バイパスコンデンサとしての機能は十分に果たされことになり、デジタルIC2などを流

れる負荷電流の急激な増減(変動)にともなって、電源ライン4の等価直列インダクタンスL_a, L_bの存在により生じる電源電圧のリップル(重畠波)を抑制する機能(リップル抑制機能)が存分に発揮されることになる。

【0026】なお、上記実施形態においては、チップ三端子コンデンサ8が表面実装される対象が、内部のアースライン用グランド層7と、表面の中継用ランド電極層10がピアホール9により接続された構造を有する配線基板11である場合を例にとって説明したが、チップ三端子コンデンサ8が表面実装される対象は、上述のような構造の配線基板に限られるものではなく、裏面に配設されたアースライン用グランド層がスルーホールにより表面の中継用ランド電極層に接続されている様な構造の配線基板であってもよい。また、チップ三端子コンデンサ8が表面実装される対象は、配線基板に限定されるものではなく、内部や裏面にアースライン用のグランド層が配設されたパッケージであってもよい。

【0027】また、上記実施形態では、チップ三端子コンデンサ8として、一方の内部電極(貫通内部電極)8e及び他方の内部電極(グランド内部電極)8fが、それぞれ一層である場合を例にとって説明したが、複数枚の電極を積層した構造のチップ三端子コンデンサを用いることも可能である。

【0028】また、上記実施形態では、チップ三端子コンデンサ8のグランド端子8dがコンデンサ素子8aの上下両面側に回り込むように形成されている場合を例にとって説明したが、グランド端子8dがコンデンサ素子8aの側面にのみ形成されているような構造のものを用いることも可能である。なお、入出力端子8b, 8cの形状についても特に制約はない。

【0029】本願発明はさらにその他の点においても上記実施形態に限定されるものではなく、高周波用電子回路を構成する回路要素なども含めて、発明の要旨の範囲内において、種々の応用、変形を加えることが可能である。

【0030】

【発明の効果】本願発明(請求項1)の高周波用電子回路においては、入出力端子とグランド端子を備えたチップ三端子コンデンサを、内部又は裏面にアースライン用グランド層が配設された配線基板又はパッケージに表面実装し、入出力端子を電源ライン用回路層に接続するとともに、グランド端子を中継用ランド電極層(グランドバターン)に接続することにより、チップ三端子コンデンサをバイパスコンデンサとして用いるとともに、バイパスコンデンサ(チップ三端子コンデンサ)を接続することに由来する全残留インダクタンスが小さくなるようしているので、高周波用電子回路において、チップ三端子コンデンサにバイパスコンデンサとしての十分な機能を発揮させることが可能になる。

【0031】また、本願発明(請求項2)の高周波用電子回路へのチップ三端子コンデンサの実装構造は、配線基板又はパッケージにチップ三端子コンデンサを表面実装し、入出力端子を電源ライン用回路層に接続するとともに、グランド端子を中継用ランド電極層(グランドバターン)に接続し、スルーホール又はピアホールを介してアースライン用グランド層に接続するようにしているので、上述の本願発明の請求項1の高周波用電子回路を確実に構成することが可能になり、バイパスコンデンサの全残留インダクタンスを小さくして、チップ三端子コンデンサにバイパスコンデンサとしての十分な機能を発揮させることができる。

【0032】また、本願発明(請求項3)のチップ三端子コンデンサの実装構造のように、スルーホール又はピアホールの長さを0.5mm以下とした場合、スルーホール又はピアホールによるインダクタンスが極めて小さくなり、バイパスコンデンサの全残留インダクタンスをより小さくすることが可能になるため、高周波用電子回路において、バイパスコンデンサをさらに効率よく機能させることができるようになる。

【図面の簡単な説明】

【図1】本願発明の一実施形態にかかるチップ三端子コンデンサの実装構造を採用した高周波用電子回路の要部構成を示す断面図である。

【図2】本願発明の一実施形態にかかる高周波用電子回路全体の等価回路図である。

【図3】本願発明の一実施形態にかかる高周波用電子回路へのチップ三端子コンデンサ(バイパスコンデンサ)の実装構造を示す拡大断面図である。

【図4】本願発明の一実施形態にかかる高周波用電子回路へのチップ三端子コンデンサ(バイパスコンデンサ)の実装構造を示す平面図である。

【図5】本願発明の一実施形態にかかる高周波用電子回路へのチップ三端子コンデンサ(バイパスコンデンサ)の実装構造の他の例を示す平面図である。

【図6】本願発明の一実施形態にかかる高周波用電子回路に用いられているチップ三端子コンデンサを示す斜視図である。

【図7】図6のチップ三端子コンデンサの等価回路図である。

【図8】従来の高周波用電子回路の等価回路図である。

【符号の説明】

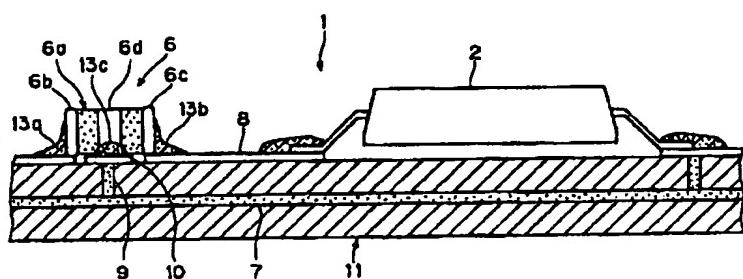
1	高周波用の電子回路
2	ディジタルIC
3	駆動用直流電源
4	電源ライン
5	アースライン
8	チップ三端子コンデンサ(バイパスコンデンサ)
8a	コンデンサ素子

(6)

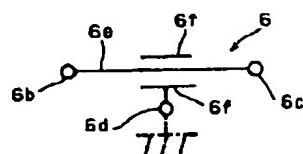
特開2001-15885

6 b, 6 c	入出力端子	*	8	電源ライン用回路層
6 d	グランド端子	9		ピアホール
6 e	貫通内部電極	10		中巻用ランド電極層
6 f	グランド内部電極	11		配線基板
7	アースライン用グランド層	*	13 a, 13 b, 13 c	はんだ

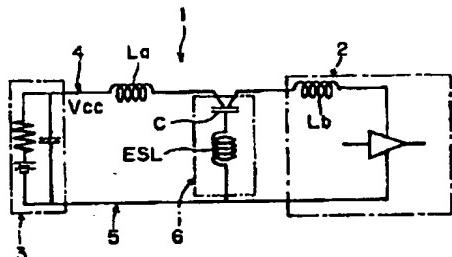
【図1】



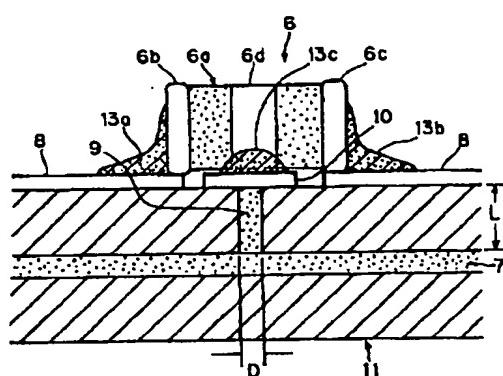
【図7】



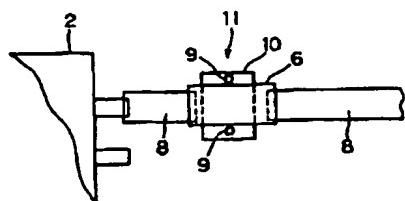
【図2】



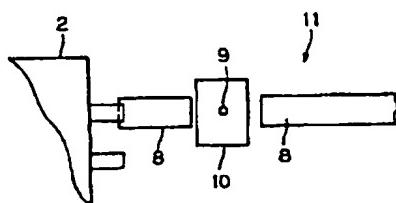
【図3】



【図4】



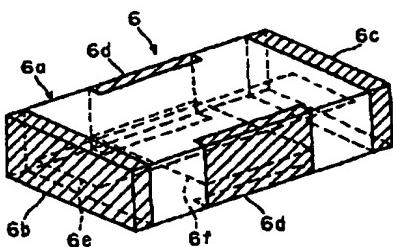
【図5】



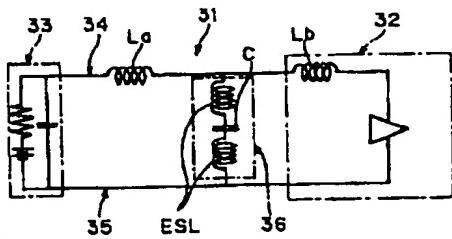
(7)

特開2001-15885

【図6】



【図8】



フロントページの続き

(72)発明者 小島 淳
京都府長岡市天神二丁目26番10号 株式
会社村田製作所内

Fターム(参考) SE317 AA04 AA21 AA24 BB18 CC08
CC25 CD27 CD32 CG11
SE336 AA04 BB02 BC01 BC34 CC32
CC53 GG05 GG11
SE338 AA02 BB02 BB13 CC01 CD01
EE14
SJ024 AA01 DA03 DA32 EA08